

# multi-core

マルチコアCPU

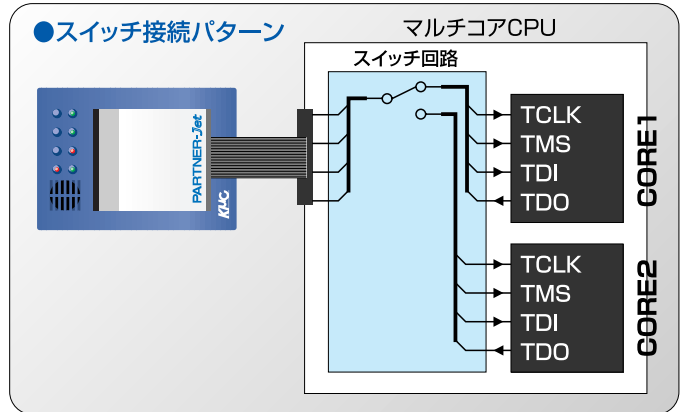
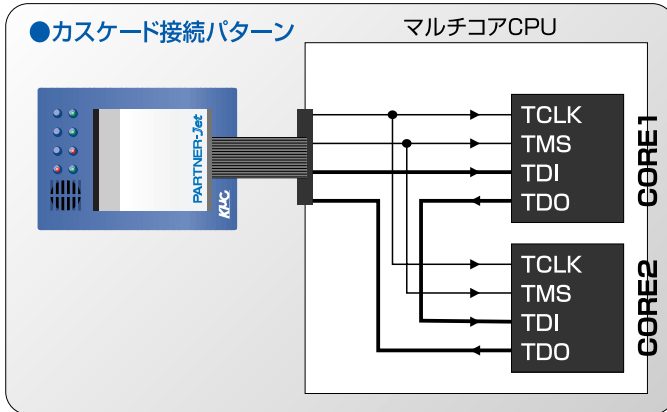
## PARTNER-*Jet*1台で 複数のCPUコアを 同時にデバッグ

PARTNER-Jetの超高速排他制御と仮想化技術であたかも複数のICE、JTAG接続があるかのようなデバッグ環境を実現します。



- 1台のPARTNER-Jetと1つのJTAG接続で、複数CPUのデバッグが可能
- コア毎にデバッガPARTNERが起動
- コア毎に独立したデバッグ実行制御が可能
- コア間の実行制御の同期が可能
  - ◇ハードウェア同期 遅延なし(数クロック)で可能<マルチコアCPUでサポートしている必要があります>
  - ◇ソフトウェア同期 1msec以下の遅延で可能
- コアの種類は同種でも異種でも可能
- ブランチトレース機能などもサポート

## ●マルチコア接続パターン



スイッチ回路については弊社と協議が必要です。  
またPARTNER-Jetがこの専用スイッチ回路に対応する必要があります。

## ●マルチコアCPUデバッグパターン



## ●マルチコアのデバッグ機能

### ●OS/コンパイラ対応

- ◆各コア毎のデバッグが独立しているので、異なるOS/コンパイラの場合でも問題なくデバッグ可能です。
- ◆Linuxの場合は、PARTNER-JetのLinuxデバッグ機能を利用する事ができます。
- ◆SMP対応OS上のアプリケーションデバッグには、そのSMPカーネルにPARTNER-Jetが対応する必要があります※1。
- ◆SMP/AMPがマルチコア上に混在しても、一つPARTNER-Jetでデバッグ可能です※1。

### ●デバッグ機能

#### ◆同期実行制御機能

◇任意のコアを組み合わせ、同期実行、同期ブレーク、同期ステップ実行などが可能です。同期タイミングは専用回路に対応したH/W方式と、専用回路が無い場合のS/W方式があります。

#### ◆ソフトウェアブレークポイント

◇全てのコアのデバッグで、合計64点までS/Wブレークポイントが設定できます。  
◇複数のデバッガから、同じ物理アドレスにS/Wブレークポイントを設定した時、コア間でのブレークポイントの競合をPARTNER-Jetが自動的に解決します。

#### ◆ハードウェアブレークポイント

◇CPUのデバッグユニットを利用するので、各コア毎に設定する事が可能です。

#### ◆リアルタイムトレース機能

◇外部出力タイプのトレースでは、トレース採取したい任意のコアを1つ選択して、トレース表示が可能です。  
◇ターゲットシステムのバッファに貯めるタイプのトレースでは、同時に複数のコアのトレースを採取して表示する事が可能です。

#### ◆デバッガ立ち上げ

◇全てのコアのデバッガを立ち上げておく必要はありません。デバッグしているコアのデバッガだけを起動しておき、他のコアは必要になったタイミングでデバッガを起動する事が可能です。

※1 SMPは、OS別に対応しています。2007年10月現在、LinuxのSMPに対応しています。SMP対応に関しては、SMP対応技術のパンフレットをご参照ください。



京都マイクロコンピュータ株式会社

本社：〒610-1104 京都市西京区大枝中山町2-44 Tel.075-335-1050 Fax.075-335-1051

東京オフィス：〒105-0004 東京都港区新橋2-14-4 Rビル5F Tel.03-5157-4530 Fax.03-5157-4531

※記載の社名、製品名は、各社の商標または登録商標です。記載内容は予告なしに変更する場合があります。